

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2002年 8月28日

出願番号

Application Number:

特願2002-249421

[ST.10/C]:

[JP2002-249421]

出願人

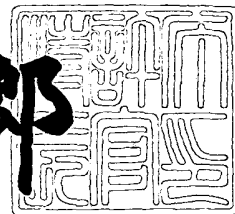
Applicant(s):

富士通株式会社

2003年 3月 7日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3013732

【書類名】 特許願

【整理番号】 0240184

【提出日】 平成14年 8月28日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 1/26

【発明の名称】 電源変動抑制装置、半導体装置及び電源変動抑制方法

【請求項の数】 10

【発明者】

【住所又は居所】 愛知県春日井市高蔵寺町二丁目 1 8 4 4 番 2 富士通ヴァリエルエスアイ株式会社内

【氏名】 朝野 茂高

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100068755

【弁理士】

【氏名又は名称】 恩田 博宣

【選任した代理人】

【識別番号】 100105957

【弁理士】

【氏名又は名称】 恩田 誠

【手数料の表示】

【予納台帳番号】 002956

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9909792

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 電源変動抑制装置、半導体装置及び電源変動抑制方法

【特許請求の範囲】

【請求項 1】 電源電圧変動のピーク値を測定する電源変動測定回路と、
前記電源変動測定回路の出力信号に基づいて、前記電源が供給される多数の内
部回路に供給するクロック信号の位相を、各内部回路の動作による電源電圧変動
のピークを相殺するように調整するクロック信号制御部と
を備えたことを特徴とする電源変動抑制装置。

【請求項 2】 前記クロック信号制御部は、
選択信号の入力に基づいて、前記各内部回路に供給するクロック信号の位相を
選択可能とした多数の遅延回路と、
前記ピーク値が最小となるように前記選択信号を生成して、該選択信号を前記
各遅延回路に出力する制御回路と
から構成したことを特徴とする請求項 1 記載の電源変動抑制装置。

【請求項 3】 前記電源変動測定回路は、
前記制御回路から出力されるデジタル信号をアナログ基準電圧に変換する D／
A 変換器と、
前記電源電圧のピーク値をホールドするピークホールド回路と、
前記アナログ基準電圧と前記ピーク値とを比較する比較器と
から構成したことを特徴とする請求項 2 記載の電源変動抑制装置。

【請求項 4】 前記 D／A 変換器は、前記デジタル信号に基づいて、高電位
側及び低電位側のアナログ基準電圧を生成し、前記ピークホールド回路は前記電
源電圧の高電位側及び低電位側のピーク値をホールドし、前記比較器は高電位側
及び低電位側のアナログ基準電圧と高電位側及び低電位側のピーク値とを比較し
て、該ピーク値を検出することを特徴とする請求項 3 記載の電源変動抑制装置。

【請求項 5】 前記制御回路は、前記選択信号を順次切り替え、各選択信号
でのピーク値を比較し、該ピーク値が最小となる選択信号を検出することを特徴
とする請求項 2 乃至 4 のいずれかに記載の電源変動抑制装置。

【請求項 6】 前記内部回路において、データを出力する内部回路と、該デ

ータが入力される内部回路とは、両内部回路に供給されるクロック信号の位相差と同一の遅延時間を備えた遅延回路を介してデータを転送することを特徴とする請求項 1 乃至 5 記載の電源変動抑制装置。

【請求項 7】 請求項 1 乃至 6 のいずれかに記載の電源変動抑制装置と、前記内部回路とを共通の基板に備えたことを特徴とする半導体装置。

【請求項 8】 共通の電源で動作する多数の内部回路に供給するクロック信号の位相を、各内部回路の動作による電源電圧変動のピークが相殺されるように調整することを特徴とする電源変動抑制方法。

【請求項 9】 共通の電源で動作する回路規模の小さい内部回路及び回路規模の大きい内部回路に供給するクロック信号の位相を、回路規模の大きい内部回路の動作による電源電圧変動のピークが、回路規模の小さい複数の内部回路のピークで相殺されるように調整することを特徴とする電源変動抑制方法。

【請求項 10】 共通の電源で動作する各デジタル回路の電源ノイズが、クロック信号の $2/n$ の周期である場合、 n 個のデジタル回路のクロック信号を $1/n$ 周期ずつずらして、各デジタル回路により発生する電源電圧変動を相殺することを特徴とする電源変動抑制方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、半導体装置の電源電圧の変動を抑制する電源変動抑制装置に関するものである。

【0002】

近年、半導体装置は高集積化とともに動作速度の高速化が益々進み、多数のデジタル回路が高速で同期動作する状態が生じている。このような状況では、デジタル回路内の多数の CMOS 回路が同期して動作することになり、各 CMOS 回路で貫通電流が同時に流れるようになった。このため、貫通電流のピーク値の増大による電源電圧の変動が大きくなり、共通の電源で動作するデジタル回路の誤動作あるいはアナログ回路の出力信号での誤差増大の原因となるとともに、ノイズの発生原因にもなっている。そこで、貫通電流による電源電圧の変動を抑制す

ることが必要となっている。

【0003】

【従来の技術】

図12は、クロック信号の位相をずらすことにより、貫通電流による電源電圧の変動を抑制するようにした従来例の動作を示す。

【0004】

クロック信号CLK11で多数のデジタル回路を同期して動作させるとき、電源V1にはクロック信号CLK11の立ち上がり同期するノイズn1が発生する。このノイズn1は、電源配線のインダクタンス成分による逆起電力及び電源供給回路の負帰還動作により、貫通電流による電圧降下の後に、電圧上昇が発生する。なお、ノイズ波形は簡略化した波形で示している。

【0005】

このように、多数のデジタル回路を共通のクロック信号CLK11で駆動すると、貫通電流が同期して発生するため、ノイズn1のピーク値が高くなる。

そこで、多数のデジタル回路をクロック信号CLK11とクロック信号CLK12とで分割して駆動すると、例えば電源V1に発生するノイズはn2, n3に分割される。この場合は、分割回路規模を1:1とした場合である。

【0006】

このように、クロック信号の位相をずらすことにより、電源電圧の変動値のピークを抑制する技術は、例えば特開平11-308109号公報に開示されている。

【0007】

【発明が解決しようとする課題】

上記のように、クロック信号の位相をずらすことにより、電源電圧の変動値のピークを抑制することはできる。しかし、電源V1に発生するノイズの数は却って増大するとともに、分割回路規模に大きな差がある場合には、ピークの抑制効果も小さくなる。

【0008】

従って、電源V1に発生するノイズを確実に低減することはできず、その電源

V1に基づいて動作する回路では、電源ノイズに基づくノイズが依然として発生するという問題点がある。

【0009】

また、電源V1に発生するノイズのピーク値は、スペクトルアナライザあるいはデジタイザ等で測定する必要がある。従って、クロック信号の位相をずらすことによる電源電圧変動の抑制効果を確認して、ノイズのピーク値を効果的に抑制するための回路分割及び位相設定作業が煩雑であるという問題点がある。

【0010】

この発明の目的は、電源電圧の変動を効果的に抑制し得る電源変動抑制装置を提供することにある。

【0011】

【課題を解決するための手段】

電源電圧変動のピーク値を電源変動測定回路で測定し、前記電源変動測定回路の出力信号に基づいて、前記電源が供給される多数の内部回路に供給するクロック信号の位相を、各内部回路の動作による電源電圧変動のピークが相殺されるようにクロック信号制御部で調整する。

【0012】

【発明の実施の形態】

図1に示す半導体装置において、多数のデジタル回路(内部回路)DC1~DCnに高電位側の電源V2と、低電位側電源であるグランドGND1とが供給される。各デジタル回路DC1~DCnはそれぞれクロック信号CLK1~CLKnの供給に基づいて動作する。

【0013】

電源変動測定回路(クロック信号制御部)1は、高電位側電源V3と低電位側電源であるグランドGND2の供給に基づいて動作し、前記電源V2とグランドGND1との電圧変動を検出する。そして、電源ノイズの高電位側ピーク値の検出結果である第一の検出結果NPHと、低電位側ピーク値の検出結果である第二の検出結果NPLを制御回路(クロック信号制御部)2に出力する。前記電源V3とグランドGND2は、電源V2とグランドGND1に対しより安定した電源として供給される。

【 0 0 1 4 】

前記制御回路 2 には、前記電源 V 2 とグランド GND1 が供給され、基準電圧を設定するためのデジタル信号 REF を前記電源変動測定回路 1 に出力する。また、制御回路 2 はクロック信号 CLK s に基づいて動作し、前記第一の検出結果 NPH と、第二の検出結果 NPL の入力に基づいて演算処理を行い、選択信号 S1 ～ Sn を出力する。

【 0 0 1 5 】

前記選択信号 S1 ～ Sn は、それぞれ遅延回路（クロック信号制御部） 3 に入力され、各遅延回路 3 には基準クロック信号 REFCLK が入力される。

前記遅延回路 3 の具体的構成を図 2 に従って説明する。図 2 は選択信号 S1 が入力される遅延回路を示す。前記基準クロック信号 REFCLK は、直列に (n-1) 段接続されたバッファ回路 4 の初段に入力されるとともに、選択回路 5 に入力される。また、前記各バッファ回路 4 の出力信号は前記選択回路 5 に入力される。

【 0 0 1 6 】

遅延回路 3 は入力された選択信号 S1 に基づいて、基準クロック信号 REFCLK あるいは各バッファ回路 4 の出力信号のいずれかを選択して出力信号 D out を出力する。そして、各遅延回路 3 から出力される出力信号 D out がクロック信号 CLK1 ～ CLKn として各デジタル回路 DC1 ～ DCn に入力される。

【 0 0 1 7 】

従って、選択信号 S1 ～ Sn は遅延回路 3 を構成するバッファ回路 4 の段数を選択して、クロック信号 CLK1 ～ CLKn の遅延時間を調整する信号として各遅延回路 3 に入力される。

【 0 0 1 8 】

前記電源変動測定回路 1 の具体的構成を図 3 に示す。D/A 変換器 6 には前記デジタル信号 REF が入力され、D/A 変換器 6 はデジタル信号 REF をアナログ値に変換して、アナログ基準電圧として比較器 7 a, 7 b に出力する。

【 0 0 1 9 】

前記電源 V 2 はピークホールド回路 8 に入力される。ピークホールド回路 8 は、電源 V 2 の高電位側ピーク値と低電位側ピーク値とをホールドする機能を備え

、そのホールド値を前記比較器 7 a, 7 b に出力する。

【 0 0 2 0 】

比較器 7 a, 7 b は、D/A 変換器 6 から出力される基準電圧と、電源 V 1 の高電位側ピーク値あるいは低電位側ピーク値とを比較し、その比較結果をレベルシフト回路 9 a, 9 b にそれぞれ入力する。

【 0 0 2 1 】

前記レベルシフト回路 9 a, 9 b は、比較器 7 a, 7 b の出力信号を前記制御回路 2 の入力レベルに適合するように電圧調整動作を行い、その出力信号を前記第一の検出結果 NPH 及び第二の検出結果 NPL として制御回路 2 に出力する。

【 0 0 2 2 】

従って、電源 V 2 の高電位側ピーク値がデジタル信号 REF で設定される電圧値より高くなると、レベルシフト回路 9 a から出力される第一の検出結果 NPH が H レベルとなる。

【 0 0 2 3 】

また、電源 V 2 の低電位側ピーク値がデジタル信号 REF で設定される電圧値より低くなると、レベルシフト回路 9 b から出力される第二の検出結果 NPL が H レベルとなる。

【 0 0 2 4 】

次に、前記制御回路 2 による電源変動抑制動作を図 4 及び図 5 に従って説明する。図 4 及び図 5 に示す動作は、いずれか 1 つのデジタル回路のクロック信号のタイミングを調整して、電源変動を抑制する動作を示す。

【 0 0 2 5 】

図 4 は、電源 V 2 の高電位側のピーク値を抑制する動作を示す。制御回路 2 は、電源 V 2, V 3 の投入に基づいて、まず例えば選択信号 S1 により、遅延回路 3 の遅延時間を設定するためのバッファ回路 4 の段数 DL を $M-W-1$ で設定する（ステップ 1）。

【 0 0 2 6 】

ここで、M はあらかじめ設定したバッファ回路 4 の段数であり、W は M を基準として調整可能なバッファ回路 4 の段数である。

また、ステップ 1 において最小ピーク電圧値を Best Peak としてまず A を設定する。また、ピーク電圧が最小となるバッファ回路 4 の段数を Best DL として、まず M-W を設定する。

【 0 0 2 7 】

次いで、DL に 1 を加算し、電源変動測定回路 1 に出力するデジタル信号 REF に A を設定する（ステップ 2）。

すると、電源変動測定回路 1 では、A として設定されたデジタル信号 REF をアナログ値に変換した電圧値 a 1 と電源 V 2 の電圧値とを比較する。図 6 に示すように、電圧値 a 1 が電源 V 2 のピーク値より高い場合には、電源変動測定回路 1 は L レベルの第一の比較結果 NPH を出力する。

【 0 0 2 8 】

次いで、第一の比較結果 NPH が H レベルであるか否かを判別する（ステップ 3）。今、第一の比較結果 NPH が L レベルであるので、デジタル信号 REF の A から 1 減算し（ステップ 4）、ステップ 3 に復帰する。

【 0 0 2 9 】

ステップ 3、4 を繰り返して、デジタル信号 REF をアナログ値に変換した電圧値が a 3 となると、第一の比較結果 NPH が H レベルとなる。すると、ステップ 3 からステップ 5 に移行し、電圧値 a 3 に対応するデジタル信号 REF すなわち A - 2 をピーク値 Peak として格納する。

【 0 0 3 0 】

次いで、ピーク値 Peak が先に格納されている Best Peak より小さいか否かを判別する（ステップ 6）。今、Peak は A - 2 であって、A より小さいため、A - 2 を Best Peak として格納し、さらにこのときのバッファ回路 4 の段数 DL を Best DL として格納する（ステップ 7）。

【 0 0 3 1 】

ステップ 6 において、ピーク値 Peak が Best Peak の値より小さくない場合には、ステップ 8 に移行する。

次いで、段数 DL が M + W に達したか否かを判別する（ステップ 8）。そして、M + W に達していない場合には、ステップ 2 に移行し、DL に 1 を加算し、デジタル

信号REFの値を再びAとする。

【0032】

すなわち、バッファ回路4の段数を1段増やし、この状態でステップ3～8を繰り返す。そして、DLがM+Wとなるまでこのような動作を繰り返し、M+Wとなると処理を終了する。

【0033】

すると、ステップ7において、電源V2の高電位側ピーク値の最小値がBest Peakとして格納され、そのときのバッファ回路4の段数がBest DLとして格納される。

【0034】

図5は、電源V2の低電位側のピーク値を抑制する動作を示す。制御回路2は、電源V2、V3の投入に基づいて、まず例えば選択信号S1により、遅延回路3の遅延時間を設定するためのバッファ回路4の段数DLをM-W-1で設定する（ステップ11）。

【0035】

また、ステップ1において最小ピーク電圧値をBest PeakとしてまずBを設定する。また、ピーク電圧が最小となるバッファ回路4の段数をBest DLとして、まずM-Wを設定する。

【0036】

次いで、DLに1を加算し、電源変動測定回路1に出力するデジタル信号REFにBを設定する（ステップ12）。

すると、電源変動測定回路1では、Bとして設定されたデジタル信号REFをアナログ値に変換した電圧値b1と電源V2とを比較する。図6に示すように、電圧値b1が電源V2のピーク値より低い場合には、電源変動測定回路1はLレベルの第二の比較結果NPLを出力する。

【0037】

次いで、第二の比較結果NPLがHレベルであるか否かを判別する（ステップ13）。今、第二の比較結果NPLがLレベルであるので、デジタル信号REFのBに1を加算し（ステップ14）、ステップ13に復帰する。

【 0 0 3 8 】

ステップ 1 3, 1 4 を繰り返して、デジタル信号 REF をアナログ値に変換した電圧値が b_2 となると、第二の比較結果 NPL が H レベルとなる。すると、ステップ 1 3 からステップ 1 5 に移行し、電圧値 b_2 対応するデジタル信号 REF すなわち $B + 1$ をピーク値 Peak として格納する。

【 0 0 3 9 】

次いで、ピーク値 Peak が先に格納されている Best Peak より大きいかな否かを判別する（ステップ 1 6）。今、Peak は $B + 1$ であって、 B より大きいため、 $B + 1$ を Best Peak として格納し、さらにこのときのバッファ回路 4 の段数 DL を Best DL として格納する（ステップ 1 7）。

【 0 0 4 0 】

ステップ 1 6 において、ピーク値 Peak が Best Peak の値より大きくない場合には、ステップ 1 8 に移行する。

次いで、段数 DL が $M + W$ に達したかな否かを判別する（ステップ 1 8）。そして、 $M + W$ に達していない場合には、ステップ 1 2 に移行し、DL に 1 を加算し、デジタル信号 REF の値を再び B とする。

【 0 0 4 1 】

すなわち、バッファ回路 4 の段数を 1 段増やし、この状態でステップ 1 3 ～ 1 8 を繰り返す。そして、DL が $M + W$ となるまでこのような動作を繰り返し、 $M + W$ となると処理を終了する。

【 0 0 4 2 】

すると、ステップ 1 7 において、電源 V_2 の低電位側ピーク値の最小値が Best Peak として格納され、そのときのバッファ回路 4 の段数が Best DL として格納される。

【 0 0 4 3 】

図 4 及び図 5 に示す動作を適宜繰り返すことにより、電源 V_2 の電圧変動のピーク値が抑制されるように、各遅延回路 3 のバッファ回路 4 の段数、すなわち各デジタル回路のクロック信号の位相を調整可能である。

【 0 0 4 4 】

図 7 は、上記のような電源変動抑制装置による電源変動抑制処理動作を示す。例えば、デジタル回路 DC1 をクロック信号 CLK1 で動作させると、電源 V 2 にはクロック信号 CLK1 の立ち上がりに基づいてノイズ P11, M11 ~ P13, M13 が発生する。

【 0 0 4 5 】

また、デジタル回路 DC2 をクロック信号 CLK2 で動作させると、電源 V 2 にはクロック信号 CLK2 の立ち上がりに基づいてノイズ P21, M21 ~ P23, M23 が発生する。

ここで、ノイズ P11, M21、ノイズ P12, M22、ノイズ P13, M23 が互いに相殺されるようにクロック信号 CLK1, CLK2 の位相を調整すれば、調整後ノイズ NX1 で示すようにノイズのピーク出現回数は半分となる。

【 0 0 4 6 】

次に、回路規模の異なるデジタル回路のノイズを相殺する場合の一例を示す。ノイズ P11 ~ P13 に対し、クロック信号 CLK2 の立ち上がりに基づいて回路規模の小さいデジタル回路から発生するノイズ M21a ~ M23a を互いに相殺するタイミングで発生させる。

【 0 0 4 7 】

すると、電源 V 2 にはノイズ P11 ~ P13 がノイズ M21a ~ M23a で相殺されてピーク値が抑制された調整後ノイズ NX2 が発生する。

さらに、ノイズ M11 ~ M13 に対し、クロック信号 CLK3 の立ち上がりに基づいて回路規模の小さいデジタル回路から発生するノイズ P31a ~ P33a を互いに相殺するタイミングで発生させる。

【 0 0 4 8 】

すると、電源 V 2 にはノイズ M11 ~ M13 がノイズ P31a ~ P33a で相殺されてピーク値が抑制された調整後ノイズ NX3 が発生する。

このような処理動作により、ノイズ P11, M11 ~ P13, M13 のピーク値を抑制した調整後ノイズ NX3 が生成される。

【 0 0 4 9 】

図 8 は、クロック信号に基づいてノイズ M31, P31 ~ M33, P33 を発生させる多数のデジタル回路が動作する場合を示す。

このノイズ M31, P31 ~ M33, P33 は、クロック信号 CLK4 の $2/3$ の周期で発生する

。このような場合には、各デジタル回路を駆動するクロック信号CLK4～CLK6を1／3周期ずつずらす。

【0050】

すると、クロック信号CLK5によるノイズM31,P31～M33,P33と、クロック信号CLK5によるノイズM41,P41～M43,P43と、クロック信号CLK6によるノイズM51,P51～M53,P53とが互いに相殺される状態となる。

【0051】

この結果、電源V2に発生する調整後ノイズNX4は、ピーク値が小さいほぼ平滑化されたノイズとなる。

図9は、クロック信号に基づいてノイズM61,P61を発生させるn個のデジタル回路が動作する場合を示す。

【0052】

このノイズM61,P61は、クロック信号CLK1の2／nの周期のノイズである。このような場合には、各デジタル回路を駆動するクロック信号CLK1～CLKnを1／n周期ずつずらす。

【0053】

すると、各デジタル回路が発生するノイズが互いに相殺される状態となり、調整後ノイズのピーク値が抑制される。

図10は、位相の異なる二つのデジタル回路DC1,DC2との間でデータの転送を行う場合を示す。デジタル回路DC2を駆動するクロック信号CLK2は、デジタル回路DC1を駆動するクロック信号CLK1より位相を遅らせている場合、デジタル回路DC1の出力信号Data2を、遅延回路3で遅延させた出力信号Data3としてデジタル回路DC2に出力する。

【0054】

このように構成すると、図11に示すように、デジタル回路DC1ではクロック信号CLK1で入力信号Data1を取り込み、出力信号Data2を出力する。出力信号Data2は、例えば入力信号Data1を取り込んだ後、所定時間後に安定となる信号である。

【0055】

遅延回路 3 は、デジタル回路 DC1 の出力信号 Data2 を遅延させた出力信号 Data3 をデジタル回路 DC2 に出力する。選択信号 S2 により遅延回路 3 で設定される遅延時間は、クロック信号 CLK1 に対するクロック信号 CLK2 の遅延時間を設定する遅延回路の遅延時間と同一に設定される。

【 0 0 5 6 】

デジタル回路 DC2 は、クロック信号 CLK2 の立ち上がりに基づいて前記出力信号 Data3 を取り込む。出力信号 Data3 はクロック信号 CLK2 と同期して遅延しているので、デジタル回路 DC2 では出力信号 Data3 を取り込むためのセットアップ・ホールド時間を十分に確保して、出力信号 Data3 を確実に取り込むことが可能となる。

【 0 0 5 7 】

上記のように構成された電源変動抑制装置では、次に示す作用効果を得ることができる。

(1) 共通の電源 V 2 で動作する多数のデジタル回路 DC1 ~ DCn を駆動するクロック信号 CLK1 ~ CLKn の位相をずらして、各デジタル回路 DC1 ~ DCn が発生するノイズを相殺することができる。従って、電源 V 2 に発生するノイズのピーク値を抑制し、かつ電源 V 2 に発生するノイズのピーク数を削減することができる。

(2) 電源変動測定回路 1 及び制御回路 2 により、電源 V 2 のノイズのピーク値を測定し、そのピーク値が最も小さくなるように、多数のデジタル回路 DC1 ~ DCn のクロック信号 CLK1 ~ CLKn の位相を自動的に調整することができる。

(3) 電源変動測定回路 1 及び制御回路 2 は、各デジタル回路 DC1 ~ DCn と共通の半導体基板上に形成することができる。

(4) 異なる回路規模のデジタル回路が発生させる電源ノイズを相殺するように、各デジタル回路に供給するクロック信号の位相を調整することにより電源ノイズのピーク値を抑制することができる。

(5) 各デジタル回路の電源ノイズが、クロック信号の $2/n$ の周期である場合、 n 個のデジタル回路のクロック信号を $1/n$ 周期ずつずらすことにより、各デジタル回路により発生する電源ノイズを互いに相殺して、ピーク値を抑制することができる。

(6) クロック信号の位相を調整したデジタル回路間でデータの転送を行う場合

、クロック信号の位相を調整する遅延回路と同一の遅延時間を設定可能とした遅延回路を介して、データの転送を行うことにより、入力信号を取り込むためのセットアップ・ホールド時間を十分に確保することができる。

【 0 0 5 8 】

上記各実施の形態は、次に示すように変更することもできる。

- ・デジタル回路に代えて、アナログ回路同士で電源ノイズを相殺するように、クロック信号を調整してもよい。
- ・デジタル回路とアナログ回路とで互いに電源ノイズを相殺するようにクロック信号を調整してもよい。

【 0 0 5 9 】

【発明の効果】

以上詳述したように、この発明は電源電圧の変動を効果的に抑制し得る電源変動抑制装置を提供することができる。

【図面の簡単な説明】

【図 1】 一実施の形態を示すブロック図である。

【図 2】 遅延回路を示す回路図である。

【図 3】 電源変動測定回路を示す回路図である。

【図 4】 制御回路の動作を示すフローチャート図である。

【図 5】 制御回路の動作を示すフローチャート図である。

【図 6】 電源変動測定回路の動作を示す説明図である。

【図 7】 電源変動抑制動作を示す説明図である。

【図 8】 電源変動抑制動作を示す説明図である。

【図 9】 電源変動抑制動作を示す説明図である。

【図 1 0】 電源変動抑制動作を行うデジタル回路間でのデータ転送を示すブロック図である。

【図 1 1】 電源変動抑制動作を行うデジタル回路間でのデータ転送動作を示すタイミング波形図である。

【図 1 2】 従来例の動作を示すタイミング波形図である。

【符号の説明】

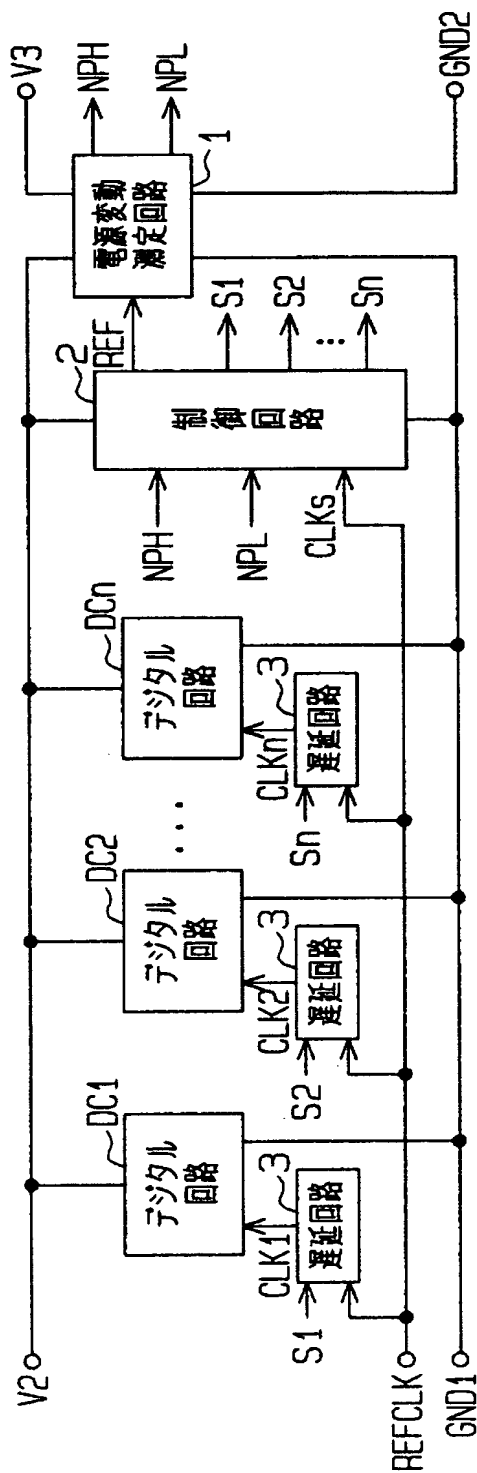
- 1 電源変動測定回路
- 2 クロック信号制御部（制御回路）
- 3 クロック信号制御部（遅延回路）
- DC1～DCn 内部回路（デジタル回路）
- CLK1～CLKn クロック信号

【書類名】

図面

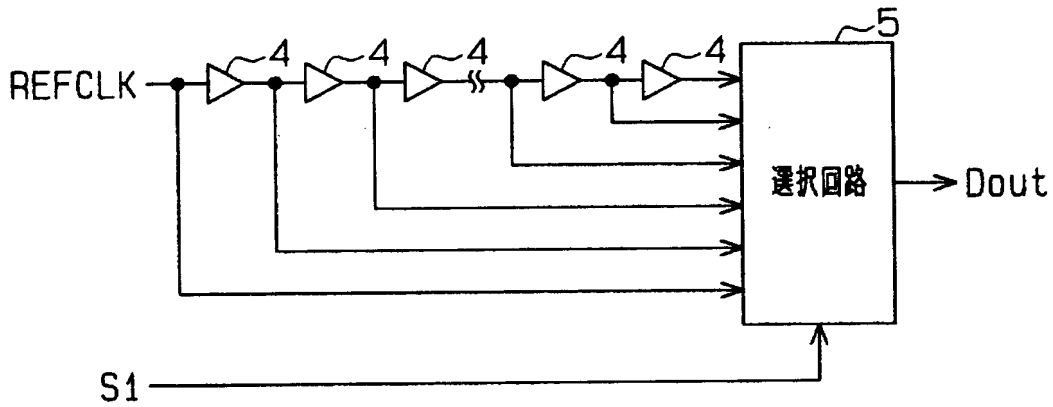
【図 1】

一実施の形態を示すブロック図



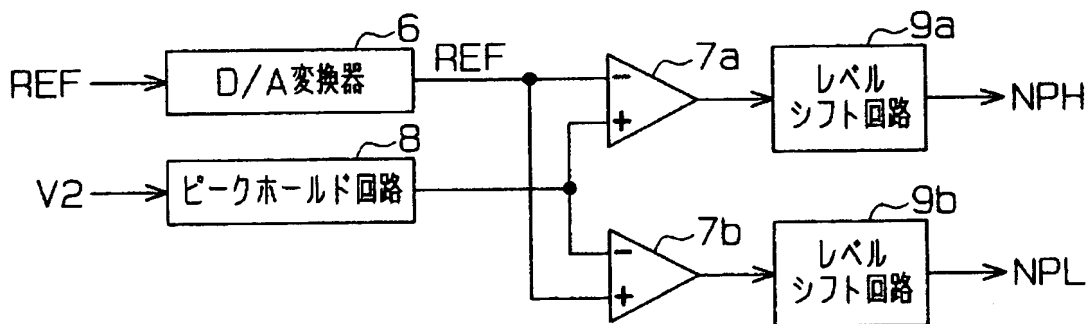
【図 2】

遅延回路を示す回路図



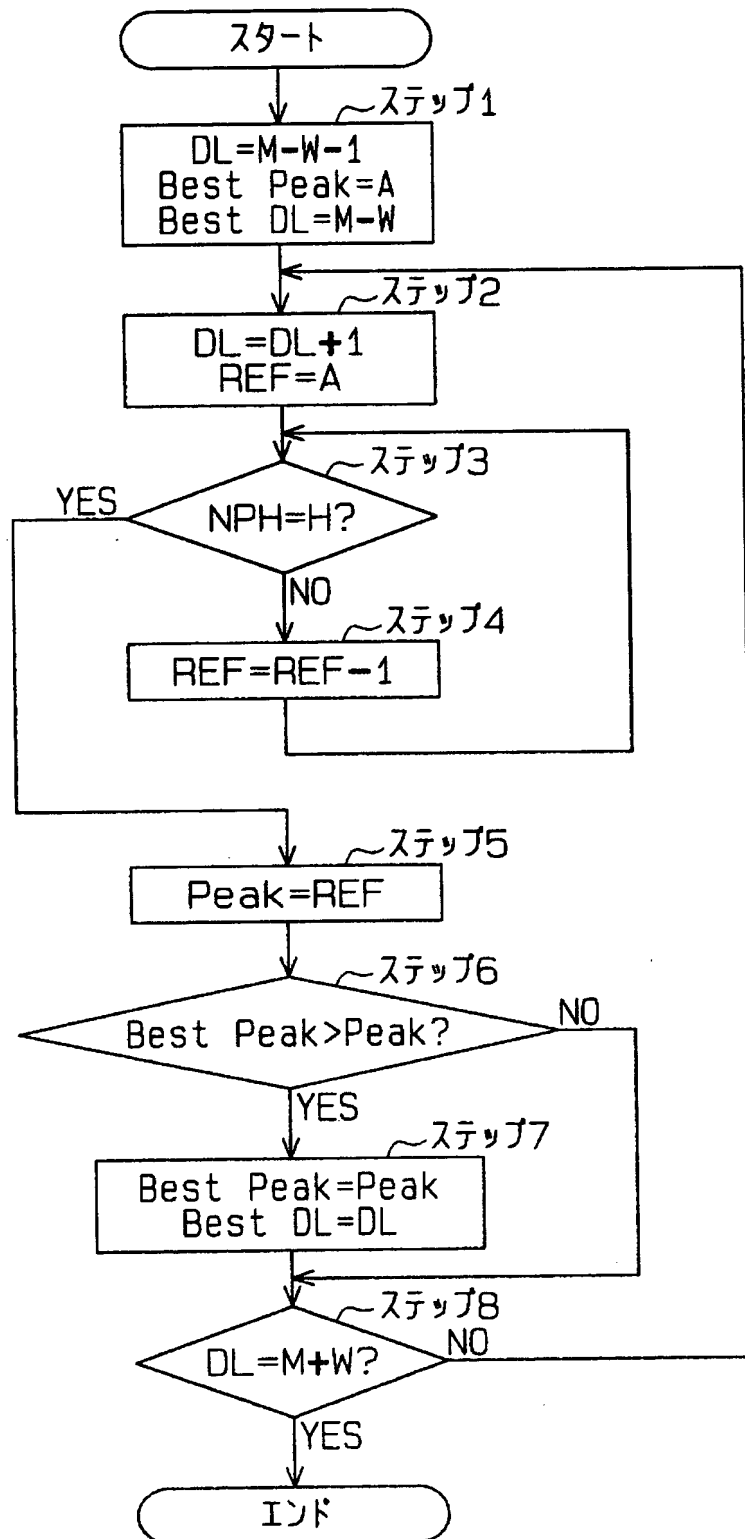
【図 3】

電源変動測定回路を示す回路図



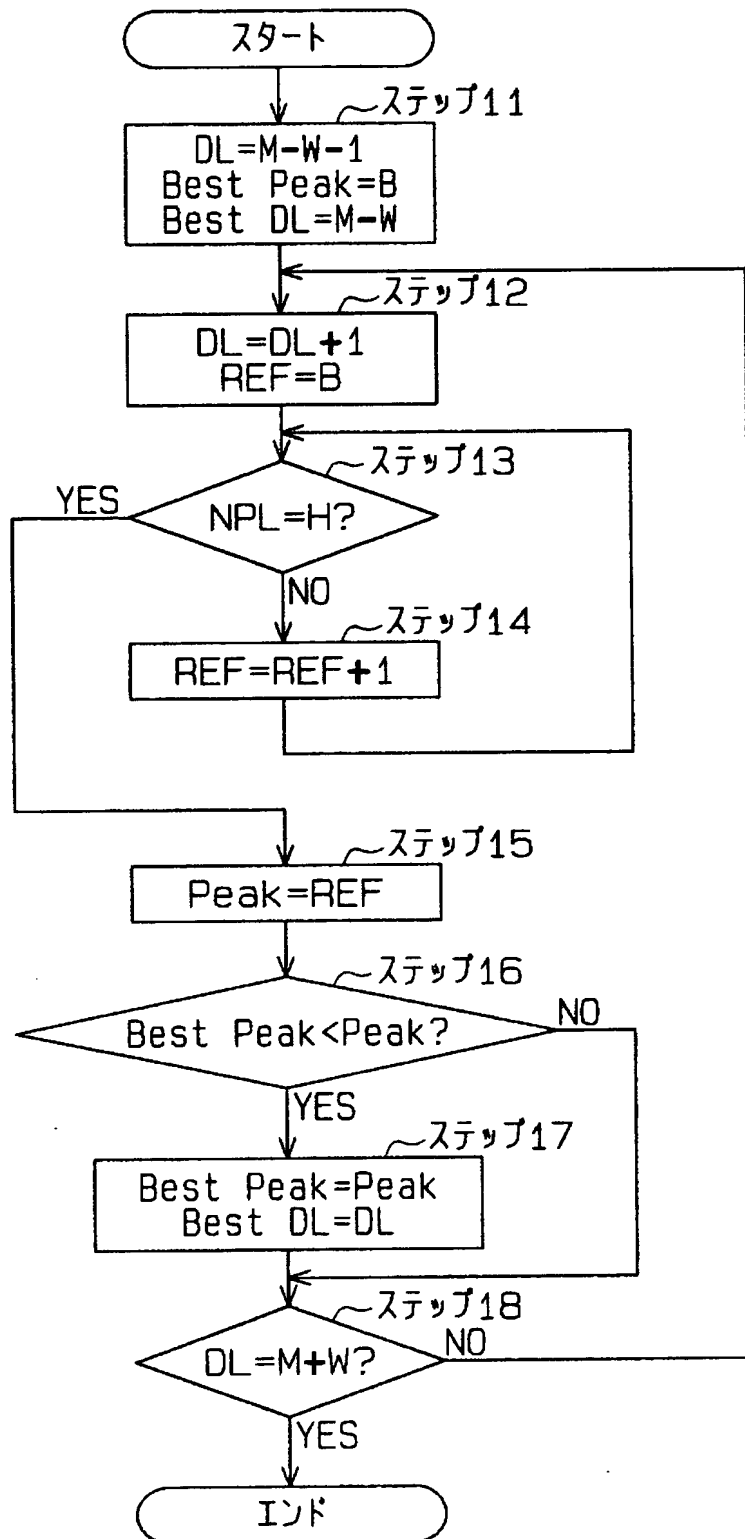
【図 4】

制御回路の動作を示すフローチャート図



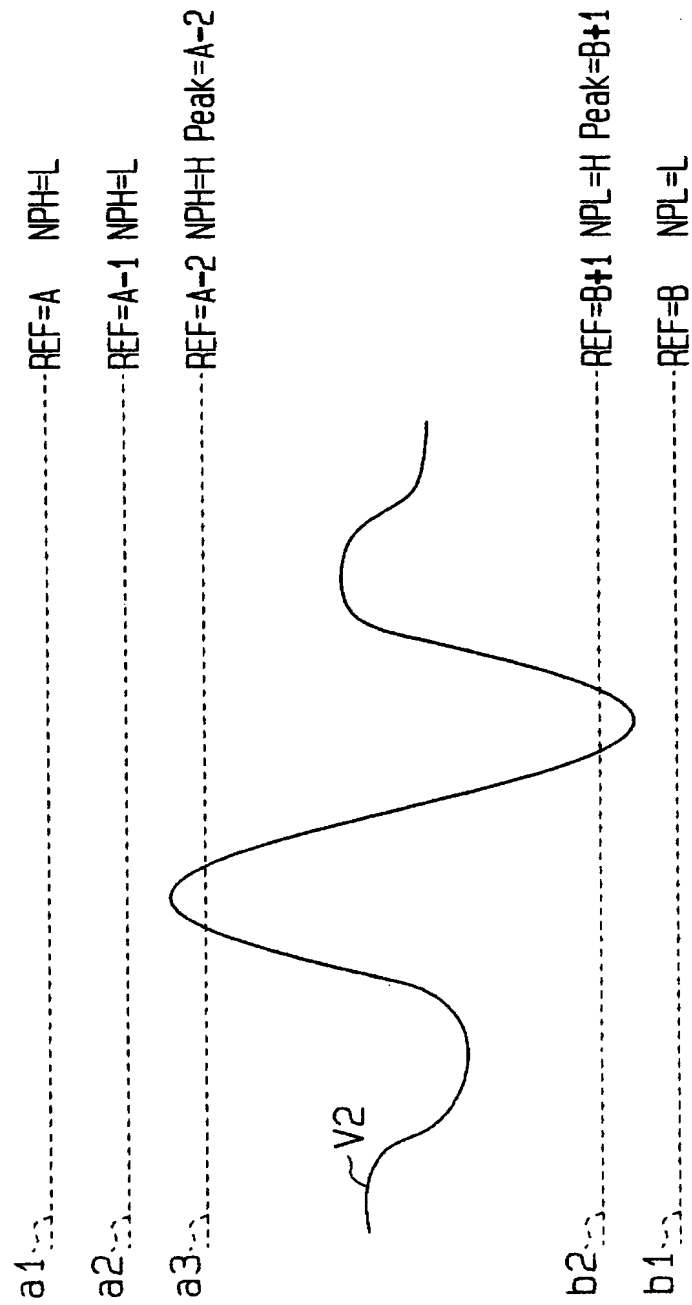
【図 5】

制御回路の動作を示すフローチャート図



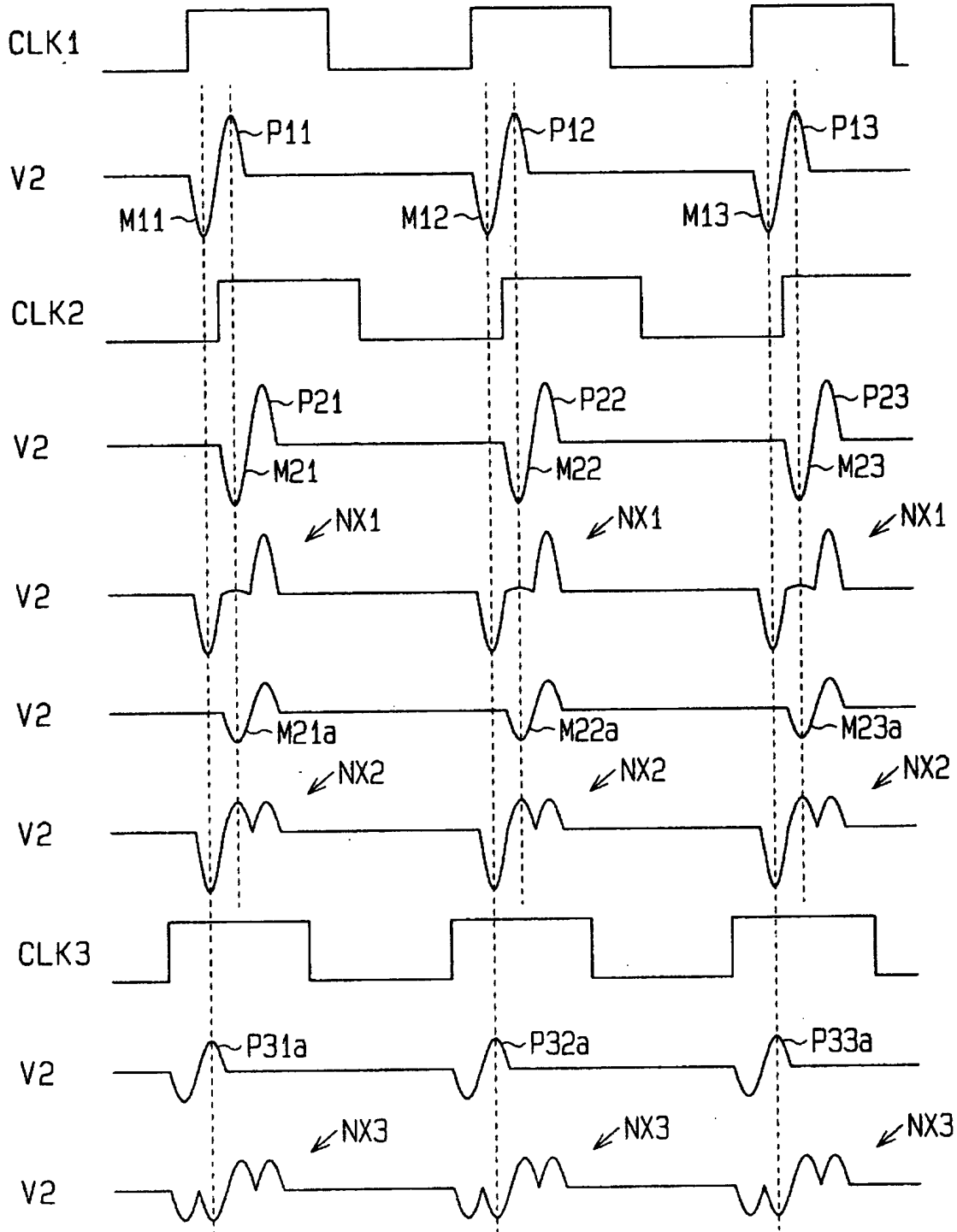
【図 6】

電源変動測定回路の動作を示す説明図



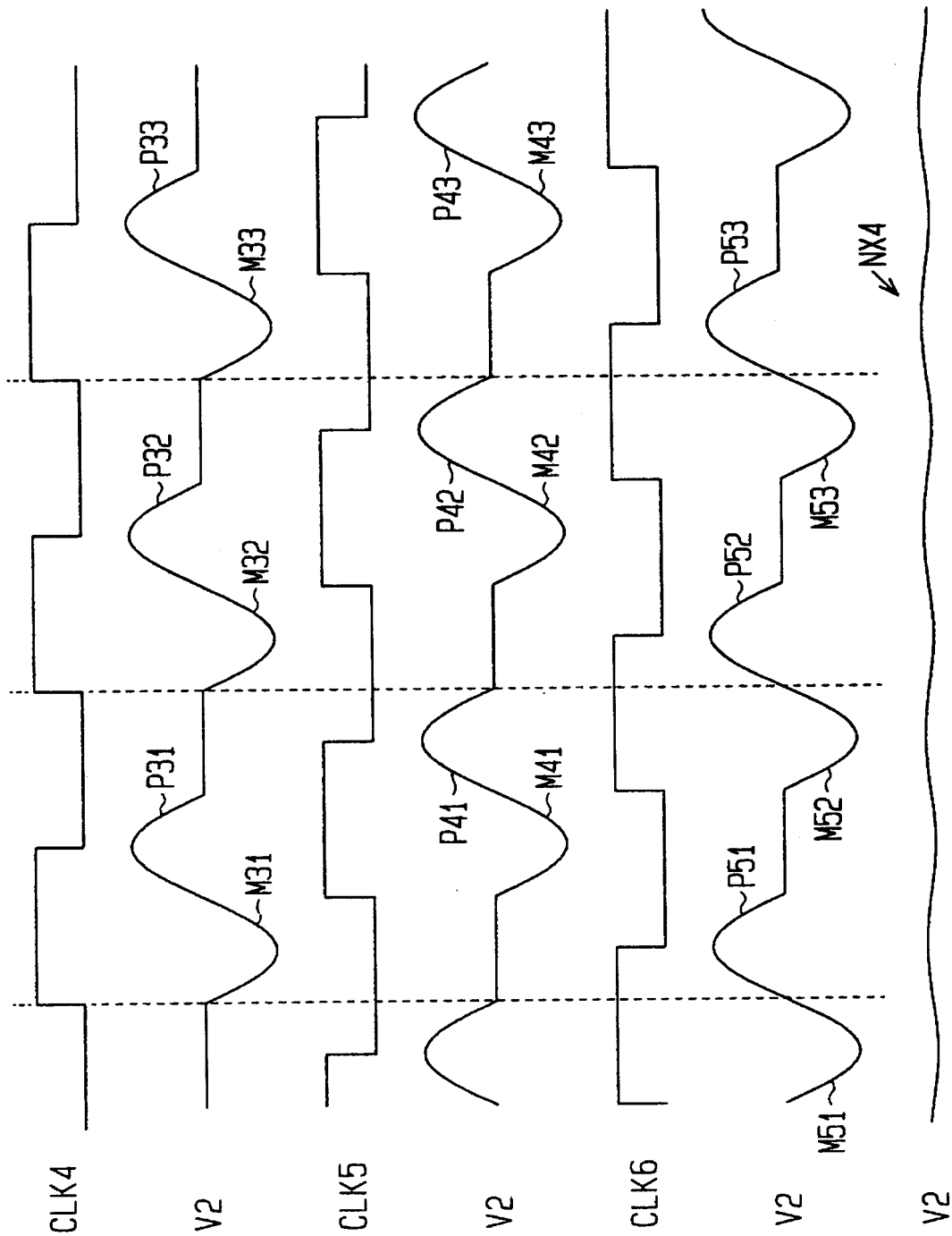
【図 7】

電源変動抑制動作を示す説明図



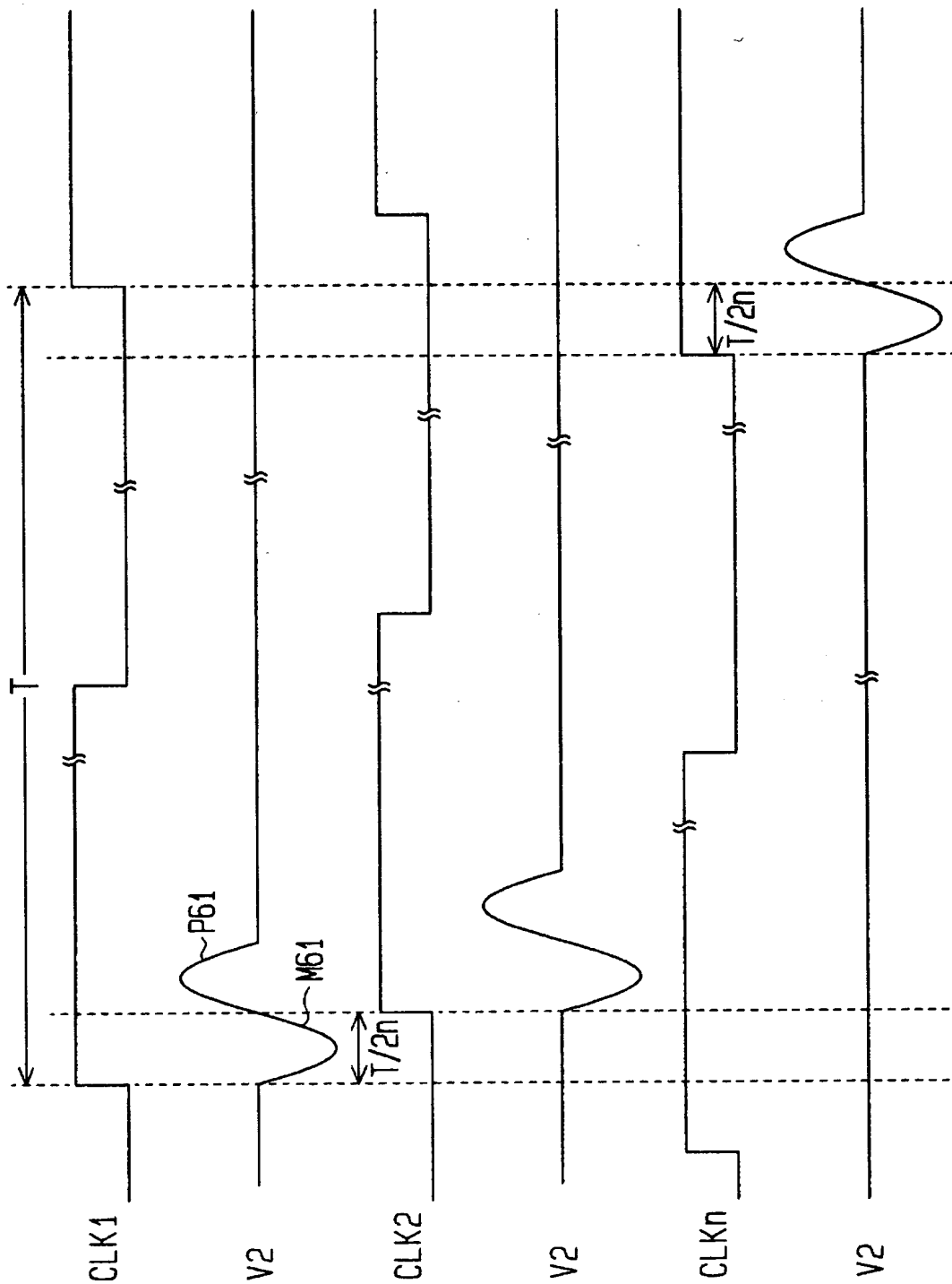
【图 8】

電源変動抑制動作を示す説明図



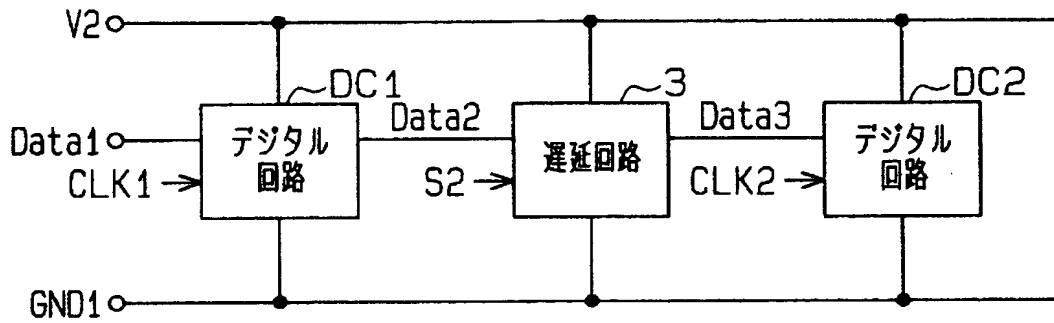
【図 9】

電源変動抑制動作を示す説明図



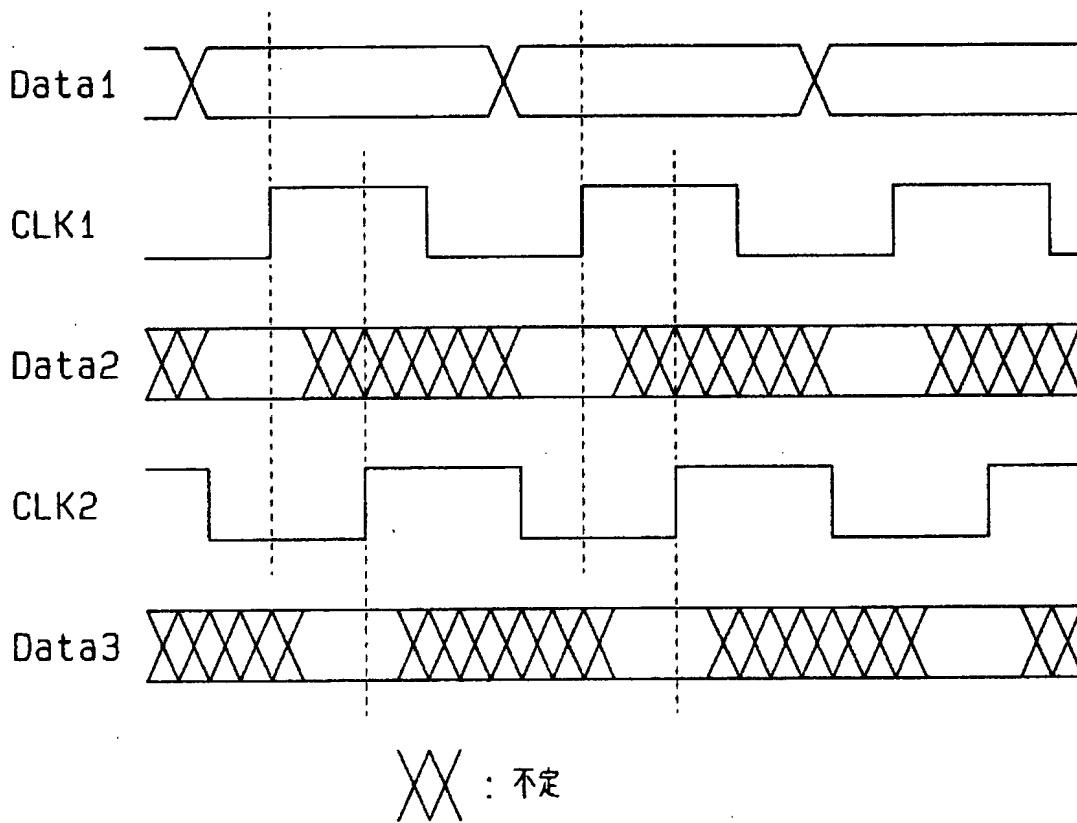
【図 1 0】

電源変動抑制動作を行うデジタル回路間でのデータ転送を示すブロック図



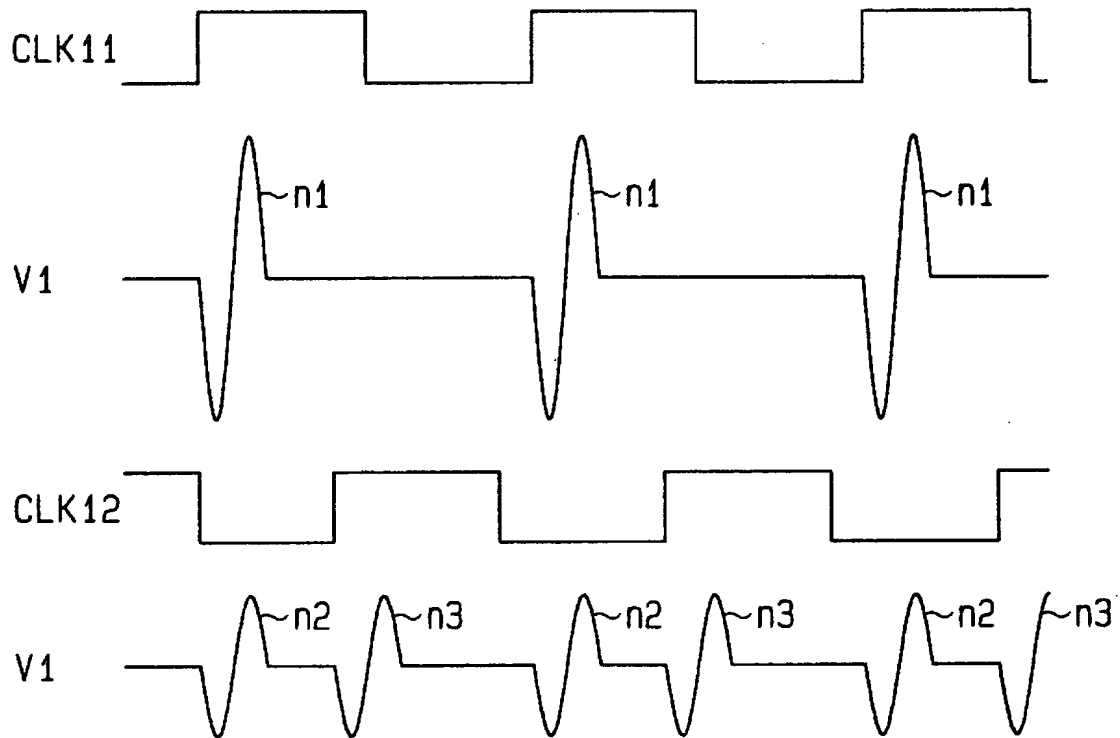
【図 1 1】

電源変動抑制動作を行うデジタル回路間でのデータ転送動作を示すタイミング波形図



【図 1 2】

従来例の動作を示すタイミング波形図



【書類名】 要約書

【要約】

【課題】 電源電圧の変動を効果的に抑制し得る電源変動抑制装置を提供する。

【解決手段】 電源電圧変動のピーク値を電源変動測定回路 1 で測定し、電源変動測定回路 1 の出力信号に基づいて、電源 V 2 が供給される多数の内部回路 DC1～DCn に供給するクロック信号 CLK1～CLKn の位相を、各内部回路 DC1～DCn の動作による電源電圧変動のピークが相殺されるようにクロック信号制御部 2, 3 で調整する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 2 2 3]

1. 変更年月日	1 9 9 6 年 3 月 2 6 日
[変更理由]	住所変更
住 所	神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号
氏 名	富士通株式会社